

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-191197

(43)Date of publication of application : 01.08.1989

(51)Int.Cl.

G09G 3/36  
G01R 31/02

(21)Application number : 63-016247

(71)Applicant : FUJI ELECTRIC CO LTD

(22)Date of filing : 27.01.1988

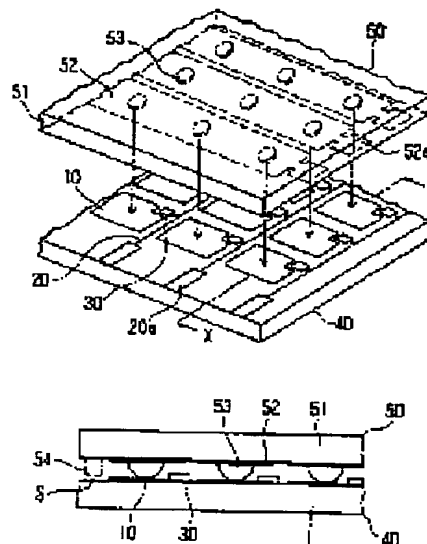
(72)Inventor : URABE KYOICHI

## (54) TESTING METHOD FOR ACTIVE MATRIX SUBSTRATE OF DISPLAY PANEL

### (57)Abstract:

**PURPOSE:** To shorten the testing time by executing the test in a state that a testing substrate is superposed on an active matrix substrate to be tested and each projecting electrode on a test electrode of the testing substrate side is brought to conductive contact with the corresponding picture element electrode of the active matrix substrate side.

**CONSTITUTION:** On a testing substrate 50, a flexible projecting electrode 53 is provided on a position corresponding to each picture element electrode 10 on plural pieces of test electrodes 52, and when this testing substrate 50 is superposed on an active matrix substrate to be tested, the tip of this projecting electrode 53 is brought to conductive contact simultaneously with all the picture element electrodes 10 of the active matrix substrate 40. By using this testing substrate 50, it is unnecessary to move a probe one by one, and by switching electrically or electronically a scanning electrode 20 of the active matrix substrate 40 side and the test electrode 52 of the testing substrate 50 side, respectively, the test is advanced, while scanning successively all picture elements in the active matrix substrate 40, for instance, in both the vertical and the horizontal directions. In such a way, the test time can be shortened by omitting the time for moving the probe.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平1-191197

⑮ Int. Cl.<sup>4</sup>

識別記号

庁内整理番号

⑬ 公開 平成1年(1989)8月1日

G 09 G 3/36  
G 01 R 31/02

8621-5C  
6829-2G

審査請求 未請求 請求項の数 1 (全8頁)

⑭ 発明の名称 表示パネルのアクティブマトリックス基板の試験方法

⑯ 特 願 昭63-16247

⑰ 出 願 昭63(1988)1月27日

⑱ 発 明 者 ト 部 恭 一 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内

⑲ 出 願 人 富士電機株式会社 神奈川県川崎市川崎区田辺新田1番1号

⑳ 代 理 人 弁理士 山口 巖

#### 明 細 書

1. 発明の名称 表示パネルのアクティブマトリックス基板の試験方法

#### 2. 特許請求の範囲

1) 表示パネル面内に行列状に配列される各画素の表示用の画素電極と所定方向に並ぶ画素電極に対して共通に設けられた走査電極と各画素電極と走査電極との間に接続された表示駆動用の駆動素子とを備えるアクティブマトリックス基板の試験方法であって、走査電極と交叉する方向に延びる細長い試験電極を走査電極の延びる方向に沿って並べて設け、かつこの試験電極上の各画素電極に対応する位置に先端が各画素電極に導電接触可能な可撓性の突出電極を設けた試験用基板を用い、この試験用基板を試験すべきアクティブマトリックス基板と重ね合わせて試験用基板側の試験電極上の各突出電極をアクティブマトリックス基板側の対応する画素電極に導電接触させた状態でアクティブマトリックス基板側の走査電極および試験用基板側の試験電極を走査しながら両電極間に試

験電圧を印加してアクティブマトリックス基板を各画素ごとに試験することを特徴とする表示パネルのアクティブマトリックス基板の試験方法。

#### 3. 発明の詳細な説明

(産業上の利用分野)

本発明は液晶表示パネル等のアクティブマトリックス基板、すなわち画素の表示用の画素電極と所定方向に並ぶ画素電極に対して共通に設けられた走査電極と各画素電極と走査電極との間に接続された表示駆動用の駆動素子とを備えるアクティブマトリックス基板を、表示パネルに組み立てる前の単独の状態で試験をする方法に関する。

(従来の技術)

上述の液晶形等の表示パネルは、よく知られているように当初は電卓や腕時計の文字版のような固定パターンの画像を表示する比較的簡単な構造のものから実用化されたが、テレビ用等のより複雑な可変画像を表示する用途にも適用範囲が拡大されるにつれて、その面内に多数個の画素を行列状に配列したマトリックス 造のものが開発され

て来た。このマトリックス方式の表示パネルにおいてもその大画面化や高表示密度化が進んで、画面に含まれる画素数が増加するにつれて、駆動回路を含めた表示全体の構成を簡便化しつつ画質を鮮明に保つために、トランジスタ、ダイオード、非線形素子などの表示駆動素子をその画面内に分布させて組み込むいわゆるアクティブマトリックス方式の表示パネルが有利になり、現在数万程度の画素を含む比較的小形のものから実用化が進んでいる。この種の表示パネル用駆動素子は、表示パネルを構成する1対の基板中の一方の基板側に組み込まれるが、両基板間の10ミクロン程度以下のごく狭い隙間内に納めてしまう必要があるため、薄膜構造のものがこれに用いられ、この駆動素子がトランジスタやダイオードの場合にはそれ用の半導体膜にはふつう非晶質シリコンや多結晶シリコンの薄膜が用いられる。本発明は表示パネルのかかる駆動素子を組み込んだ側のアクティブマトリックス基板に関する。第4図は駆動素子としてダイオードを用いたこのアクティブマトリックス基板の

一部を拡大して示すものである。

第4図で2個だけが示された画素電極10は表示パネル内の各画素の表示用であって、実際には図の左右、上下両方向にそれぞれ数百ずつ並べてアクティブマトリックス基板面上に行列配置される。この配置の所定方向、この例では左右方向に並ぶ画素電極10に対して走査電極20が設けられ、各画素電極に与えるべき表示電圧がこの走査電極に乗せられる。駆動素子30は画素電極ごとに設けられるが、この例のようにダイオードである場合には、正負両方向のダイオード $30p, 30n$ が設けられ、両ダイオードは互いに逆並列接続される。この例では正方向のダイオード $30p$ は図示のように走査電極20上に作り込まれて接続膜7を介して画素電極10に接続され、負方向のダイオード $30n$ は逆に画素電極10上に作り込まれて接続膜7を介して走査電極20と接続される。表示パネルの図示しないもう一方の基板上には走査電極20と交叉する方向、この例では図の上下方向に細長い対向電極が画素電極10と同じ幅で走査電極20が延びる方向に並べ

て設けられる。表示パネルの表示に当たっては、走査電極を例えば垂直走査し対向電極を水平走査しながら、両電極間に表示電圧を走査周期ごとに正負に切り換えて与えることにより表示パネルを交流駆動する。垂直、水平両走査により特定された画素では、ある走査周期内に走査電極20に正の表示電圧が掛かり、正方向のダイオード $30p$ が導通してこの表示電圧を走査電極20から画素電極10に伝え、次の走査周期には走査電極20に負の表示電圧が掛かり、負方向のダイオード $30n$ が導通してこの表示電圧が画素電極に伝えられる。

第5図はこのアクティブマトリックス基板の構造を第4図のY-Y矢視断面で示すもので、絶縁基板1はふつう透明なガラスで、まずその裏面にITO(インジウム・錫酸化物)等の透明導電膜2を被着した上で、それから画素電極10と走査電極20とをバターンニングする。駆動素子としての走査電極20上のダイオード $30p$ は、クローム等の1対の透光膜3, 5によって挟まれた例えばpi<sub>n</sub>構成の非晶質シリコンの半導体膜4からなり、その

上に窒化シリコン等の絶縁膜が第4図からわかるように両ダイオード $30p, 30n$ を共通に覆うように設けられる。接続膜7はこの絶縁膜6の窓6aを介してその一端がダイオード頂部の透光膜5に導電接触し、他端が画素電極10に導電接触するように設けられる。このように構成されたアクティブマトリックス基板はもう一方の基板と組み合わせ、両基板を周縁部で相互に接着し、両基板間の隙間に液晶等の表示媒体を封入することにより表示パネルとされる。

しかし、1枚のアクティブマトリックス基板内には数万ないしは数十万の画素が組み込まれるので、この内に若干の欠陥画素が発生することがある。この欠陥の主なものとは短絡と断線であり、前者としては例えば絶縁膜6の不良による接続膜7と下側透光膜3との接触や導電膜2のパターニング不良による画素電極10と走査電極20の直接短絡などがあり、後者としては接続膜7の破断や走査電極20の断線などがある。ふつう短絡の方が重大欠陥とされるが、両欠陥を完全になくすることは困難

であるので、欠陥画素が所定数例えば10個以下のアクティブマトリックス基板は良品とされる。この欠陥の有無や欠陥数はアクティブマトリックス基板を表示パネルに組み立てた上で表示試験を行えば簡単にわかるのであるが、組み立て後にそのアクティブマトリックス基板が不良品と判明しても、それと組み合わせたもう一方の基板とともに廃棄するしかなく、組み立てに要した作業や相手基板がすべてむだになってしまう。このため、アクティブマトリックス基板に対してそれを表示パネルに組み立てる前の単独の状態で試験が行われる。この試験に当たって最も厄介なのは、各画素電極をどのようにして試験回路に接続するかであって、この従来の試験の要領を第6図を参照して説明する。

まず、図示のアクティブマトリックス基板40上の走査電極20を基板端部のその接続部20aにおいてすべて共通接続した上で、試験電圧源71と電流測定器72とからなる試験回路の一端に接続する。各画素電極10をこの試験回路の他端に接続するた

めには探針60を用い、この探針60を左右、上下両方向P、Qに自動的に順次移動させながら各画素電極10に接触させ、そのつど測定器72によりそれに流れる電流の過大、過小により各画素の短絡と断線の欠陥を検出する。

（発明が解決しようとする問題点）

しかし、この従来の方法では探針ないしはプローブを一々画素電極に接触させながら試験をしなければならぬので、アクティブマトリックス基板に含まれる画素数が多くなるに従ってプローブの移動に時間が掛かって試験時が増大する問題がある。例えば画素が200行、400列に配置されているとき、その全体の画素数は8万個にもなるが、2000画素の試験に約1時間を用意するのでアクティブマトリックス基板内の全面素の試験に40時間もの長時間を要することになってしまう。従って経済的な点からはアクティブマトリックス基板内の1/10以下の画素を抜取試験するしかないことになる。

また、この従来の試験方法ではプローブと画素

電極との導電接触の信頼性に問題がある。プローブの各画素電極からの離間と導電接触が高速で繰り返えされるので、接触抵抗に若干の変動が生じやすい。しかし、1枚のアクティブマトリックス基板に対して欠陥画素数が例えば10個以下か否かを判定しなければならないので、画素が前述の8万個程度以上あるとき接触抵抗に0.01%以上の確率で変動すると、試験に全く信頼が置けないことになってしまう。

本発明はかかる従来の試験方法のもつ難点を克服して、アクティブマトリックス基板に含まれる画素数が多くてもその全面素について試験を短時間内にすることができ、かつ結果の信頼性を向上できるアクティブマトリックス基板の試験方法を提供することを目的とする。

（課題を解決するための手段）

この目的は本発明によれば、走査電極と交叉する方向に延びる細長な試験電極を走査電極の延びる方向に沿って並べて設け、かつこの試験電極上の各画素電極に対応する位置に先端が各画素電極

（作用）

に導電接触可能な可換性の突出電極を設けた試験用基板を用い、この試験用基板を試験すべきアクティブマトリックス基板と重ね合わせて試験用基板側の試験電極上の各突出電極をアクティブマトリックス基板側の対応する画素電極に導電接触させてアクティブマトリックス基板側の走査電極および試験用基板側の試験電極を走査しながら両電極間に試験電圧を印加し、アクティブマトリックス基板を各画素ごとに試験することにより達成される。

プローブを一々移動させる要をなくし、アクティブマトリックス基板側の走査電極と試験用基板側の試験電極とをそれぞれ電気的ないしは電子的に切り換えて、アクティブマトリックス基板内の全画素を例えば垂直、水平両方向に順次走査しながら試験を進めるようにすることにより、従来のプローブを移動させるに要していた時間を一切省いて試験時間を従来の1~2桁短縮するのに成功したものである。また、突出電極とこれに対応する画素電極との間の導電接触は、試験用基板をアクティブマトリックス基板と重ね合わせた後は試験期間を通じてそのままの状態を保たれ、従来のようにプローブが一々画素電極と接触されるようなことがないので、本発明はこれを利用してこの導電接触の接触抵抗を不変に保ち試験結果の信頼性を大幅に向上することに成功したものである。

#### (実施例)

以下、第1図から第3図を参照しながら本発明の実施例を詳しく説明する。第1図は太線で示されたアクティブマトリックス基板40と細線で示さ

れた試験用基板50とを重ね合わせた状態で示すとともに試験回路を合わせて例示するものである。

第1図のアクティブマトリックス基板40上には、行列状に配置された多数個の画素電極10と、この例では行方向に並ぶ画素電極に対して共通に設けられた走査電極20と、各画素電極と走査電極との間に接続された駆動素子30とが示されており、図で小さな方形で示された駆動素子30はこの例ではダイオード等の二端子素子である。駆動素子が三端子素子の場合には走査電極が列方向にも設けられるが、試験は行列両方向の走査電極の内の一方を試験回路に接続し他方を所定電位に置いた状態で行なえばよいので、その要領は駆動素子が二端子素子である場合と大差はない。

アクティブマトリックス基板40と重ね合わされている試験用基板50には、アクティブマトリックス基板側の走査電極20と直交する方向に細長な試験電極52が絶縁基板上に走査電極の延びる方向に並べて設けられており、さらに各試験電極52の上にはアクティブマトリックス基板側の画素電極10

にそれぞれ対応する位置に可撓性の突出電極53が図の上下方向に並べて設けられる。この様子は第2図の斜視図により明瞭に示されている。この第2図ではアクティブマトリックス基板40と試験用基板50が互いに離れた状態で示されており、図では試験用基板50の下面の試験電極52上に並べて設けられた突出電極53とアクティブマトリックス基板40の上面の画素電極10との対応が図の縦方向の細い矢印で示されている。さらに第2図のX-X矢視断面である第3図にはアクティブマトリックス基板40と試験用基板50とが重ね合わされた状態が示されている。

これら第2図および第3図の試験用基板50上の突出電極53は導電性のシリコンラバーの半球状の突起であって、例えば次のようにして作られる。まず試験用基板50用の絶縁基板51はアクティブマトリックス基板40用と同じく例えばガラス基板であってよく、その上に試験電極52用にITOや金属の膜をその全面にごく薄く0.1~0.5ミクロンの厚みに被着した上で第2図に示すような形状に

パターンニングする。突出電極53用の導電性シリコンラバーとしては例えば東芝シリコン社製のTCM8401を用い、0.1mm程度の厚みの薄い銅板にアクティブマトリックス基板の画素電極の配列ピッチに対応する0.3mm程度のピッチで0.15mm前後の径をもつ孔を多数個明けた金属マスクを用いて、ペースト状のシリコンラバーをすり込み法により試験電極52上に付着させ、その加熱硬化時の一種のリフロー効果によって半球状の形状にした上で、そのまま硬化させることにより第3図に示したような突出電極53とする。あるいは、マスクとして通常のフォトレジストを用い、試験電極52を形成ずみの絶縁基板51の全面にまずこのフォトレジストを30ミクロン以上の厚みに塗着した上で、そのパターンニングにより試験電極52上に同様に0.3mm程度のピッチで0.25mm程度の径の窓を抜く。突出電極用シリコンラバーとしては例えば上掲社製のTCM8403を用いて同様にすり込み法で窓内にこのシリコンラバーを充填した後、加熱硬化させた上でフォトレジストを剝離除去する

ことにより円柱状の導電性シリコンラバーの突出電極を得る。

このようにして形成された突出電極53はいずれも可撓性をもち、若干の高さの差があっても試験用基板50をアクティブマトリックス基板に向けて押圧したときに僅かに変形して突出電極53と画素電極10との確実な導電接触が得られる。第3図に示すように試験用基板50とアクティブマトリックス基板40との間の周縁部には適宜の高さをもつストッパ54を設け、図示のように突出電極53の先端が画素電極10に僅かに接触した状態から、さらに押圧代りだけ抑え込むことにより突出電極53を変形させてその画素電極10との導電接触を確実にすることができる。

第1図に戻って、試験電圧Eを発生する試験電圧源71はこの実施例ではその極性切り換え用の切換スイッチ71aを備える。測定器72は通常の高感度の電流測定器であってよいが、測定電流が $10^{-10}$ ~ $10^{-12}$ Aと微小電流でふつうのものでは100ms程度の測定時間が掛かるので、測定速度のできるだ

しては1ビットの切換指令Scが、もう一方の選択スイッチ75に対しては列方向に並ぶ例えば400個の画素を選択できるように9ビットの垂直選択指令Svがそれぞれ発せられ、測定器72からの試験結果を表わす試験信号TSがこの制御回路に与えられるものとする。

アクティブマトリックス基板では短絡欠陥が重欠陥でもありかつその発生率がふつうは高いので、試験はまず短絡欠陥数により不良品を排除するのを第一義とする。このため試験電圧源71に付属の切換スイッチ71aを例えば図示の状態に固定して試験電圧Eの極性を一定に保った状態で、切換指令Scにより切換スイッチ74を図示の状態に置き、アクティブマトリックス基板40の全走査電極20を共通接続状態にいた上で、選択スイッチ73に水平選択指令Shを送って試験用基板50の各試験電極52を走査しながら順次試験回路に接続する。この際、ある試験電極52に対応するアクティブマトリックス基板40上の図の上下方向に並ぶ画素に1個でも短絡欠陥があれば、試験結果は短絡欠陥あり

け早いものを用いるのが望ましい。選択スイッチ73も電子式の動作速度の早い多点のものを用い、その被選択端子を試験用基板50の画素電極52の各接続部52aと接続する。この選択スイッチ73の選択端子は試験電圧源71と測定器72からなる試験回路の一端に接続される。この実施例ではアクティブマトリックス基板40の走査電極30はその接続部20aを介して多点の切換スイッチ74の各切換端子に接続され、この切換スイッチ74の一方の各被切換端子は共通接続された上で試験回路の他端に接続される。切換スイッチ74の他方の被切換端子は選択スイッチ75の被選択端子にそれぞれ接続され、この選択スイッチ75の選択端子は試験回路の他端に接続される。

以上のように構成された試験回路を用いてアクティブマトリックス基板40を試験する手順例を以下に説明する。この試験に当たっては図示しない計算機等の制御回路から選択スイッチ73に行方向に並ぶ例えば640個の画素を選択できるように10ビットの水平選択指令Shが、切換スイッチ74に対

となるが、制御回路はその欠陥ありの試験電極番号を記憶しながら欠陥ありになった試験電極の総数を加算して行き、この総数が許容数である例えば10を越えたとき直ちに試験を停止し試験中のアクティブマトリックス基板を不良とする。

全部の試験電極52に対する走査を終えて欠陥ありの試験電極の総和が10以下の場合には、切換指令Scにより切換スイッチ74を図示とは逆の切換位置に置いた上で、前に記憶した欠陥ありの試験電極番号に対応する水平選択指令Shを選択スイッチ73に送ってその試験電極を選択した状態で、垂直選択指令Svを選択スイッチ75に送って走査電極20を走査しながら順次試験回路に接続しながら、その試験電極に対応する上下方向に並ぶすべての画素について短絡の有無を試験する。同様の試験を前に短絡ありとされたすべての試験電極について行なった結果、短絡ありの画素の総和が10以下であったときそのアクティブマトリックス基板を短絡欠陥について良品とするが、その総和が10を越えたときはその時点で試験を停止してアクティブマ

トリックス基板を不良品とする。

断線欠陥についての試験では、短絡欠陥試験のような試験電極についての一括試験が不可能なので、切換スイッチ74を図示とは逆の切換位置に置いた状態で選択スイッチ73,75に順次水平選択指令Shと垂直選択指令Svをそれぞれ送って、アクティブマトリックス基板40内の画素を左右、上下両方向に走査しながら、全画素の1個ずつについて断線の有無を試験する。この場合にも断線欠陥ありの画素の総和が許容数を越えたとき試験を停止して試験中のアクティブマトリックス基板を不良品とする。また、駆動素子30がダイオードである場合は正負両方向の試験電圧Eについて断線の有無を試験する要があるので、上の断線欠陥試験を切換スイッチ71aを切換えて2度行なうなり、アクティブマトリックス基板40内の各画素が走査されたときに、切換スイッチ71aをそのつど切り換えながら正負両方向の試験電圧について各画素の断線の有無を試験するなりする。このように断線欠陥試験はアクティブマトリックス基板内の全画

素位置に先端が各画素電極に導電接触可能な可撓性の突出電極を設けた試験用基板を用い、この試験用基板を試験すべきアクティブマトリックス基板と重ね合わせて試験用基板側の試験電極上の各突出電極をアクティブマトリックス基板側の対応する画素電極に導電接触させておいて、アクティブマトリックス基板側の走査電極および試験用基板側の試験電極を走査しながら両電極間に試験電圧を印加してアクティブマトリックス基板を各画素ごとに試験するようにしたので、従来のように探針ないしはプローブを一々アクティブマトリックス基板の画素電極に接触しながら機械的に移動させることなく、アクティブマトリックス基板側の走査電極と試験用基板側の試験電極とを純電氣的ないし電子的に逐次走査しながら、アクティブマトリックス基板内の画素ごとに試験することができるので、試験時間を従来よりも大幅に短縮することができる。例えばアクティブマトリックス基板内に8万個の画素があるとき従来方法では全画素の試験に40時間を要したが、本発明方法で

素についてする要があり、従ってその試験時間も短絡欠陥試験の10倍程度掛かることになるので、測定器72に高速動作のものをを用いるのがとくに望ましい。しかし、幸い測定器としては電流が0か否かがわかればよいので、それ専用のものにして動作速度を高めることができる。この場合には断線欠陥試験か短絡欠陥試験かで測定器72を切換えて使用できるようにするのが有利である。このように断線欠陥の検出に専用の高速測定器を用いれば、断線欠陥試験を短絡欠陥試験の3～5倍程度の時間内にすませることができる。

#### (発明の効果)

以上述べたとおり本発明においては、各画素の表示用の画素電極と所定方向に並ぶ画素電極に対して共通に設けられた走査電極と各画素電極と走査電極との間に接続された表示駆動用の駆動素子とを備えるアクティブマトリックス基板の試験に際して、走査電極と交叉する方向に延びる細長な試験電極を走査電極の延びる方向に沿って並べて設け、かつこの試験電極上の各画素電極に対応す

は短絡欠陥試験を10分以内、断線欠陥試験を1時間以内に完了することができる。また、試験用基板の突出電極はアクティブマトリックス基板の画素電極との導電接触を両基板を重ね合わせた当初の状態で全試験を完了できるので、従来のプローブを接触する方法よりも接触抵抗が格段に安定した状態で試験を行なって試験結果の信頼性を向上することができる。

また、実施例の説明からわかるように本発明方法は表示パネルの重欠陥とされる短絡欠陥試験にとくに有利で、アクティブマトリックス基板内の画素数の3%程度の試験数によって全画素について短絡欠陥の有無を短時間内に効率よく進めることが可能である。

#### 4. 図面の簡単な説明

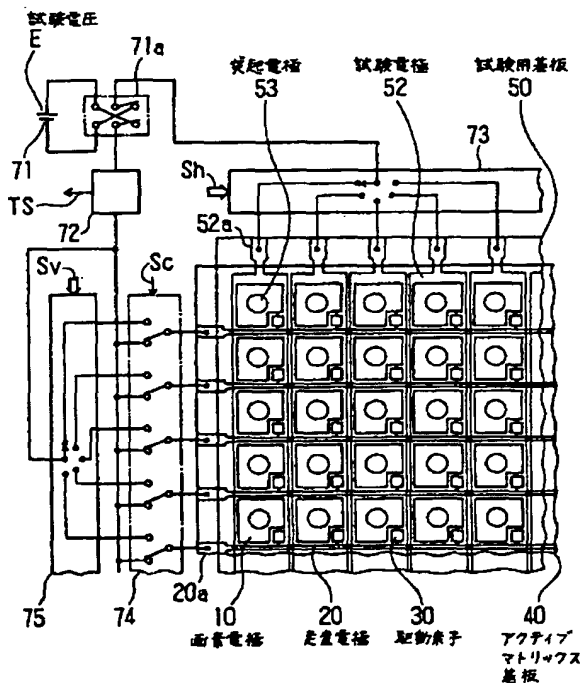
第1図から第3図までが本発明に関し、第1図は本発明による表示パネルのアクティブマトリックス基板の試験方法の実施例における重ね合わされたアクティブマトリックス基板および試験用基板を関連する試験回路例とともに示す。成回路図、

第2図はアクティブマトリックス基板と試験用基板とを相互にやや離隔された状態で示す斜視図、第3図は両基板の重ね合わされた状態の断面図である。第4図および第5図は本発明方法の対象であるアクティブマトリックス基板の構造例を示すもので、第4図はその一部拡大上面図、第5図はさらにその要部の断面図である。第6図は従来のアクティブマトリックス基板の試験方法の要領を示すアクティブマトリックス基板と試験回路との構成回路図である。図において、

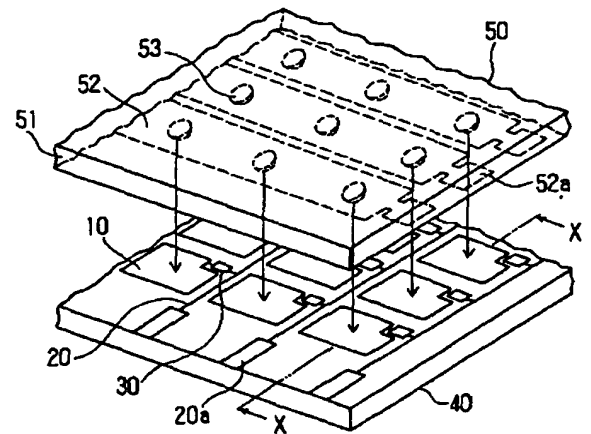
1:絶縁基板、2:導電膜、3、5:遮光膜、4:半導体膜、6:絶縁膜、6a:絶縁膜の窓、7:接続膜、10:画素電極、20:走査電極、20a:走査電極の接続部、30:駆動素子、30p,30a:駆動素子としての正、負方向の断面図、40:アクティブマトリックス基板、50:試験用基板、51:絶縁基板、52:試験電極、52a:試験電極の接続部、53:突出電極、54:ストッパ、60:探針ないしはプローブ、71:試験電圧源、71a:試験電圧の極性切換用切換スイッチ、72:電流測定器、73:選択スイッチ、

74:切換スイッチ、75:選択スイッチ、 $\delta$ :押圧代、E:試験電圧、Sc:切換指令、Sh:水平選択指令、Sv:垂直選択指令、TS:試験号、である。

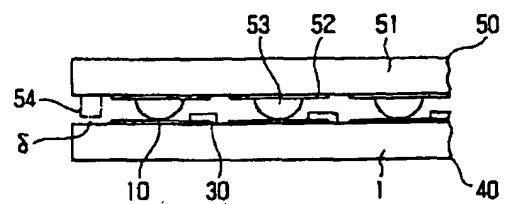
代理人 佐々木 山口 廣



第1図



第2図



第3図



